

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2004 年 03 月 17 日
Application Date

申請案號：093107165
Application No.

申請人：南亞電路板股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長

Director General

蔡練生

發文日期：西元 2004 年 7 月
Issue Date

發文字號：09320689460
Serial No.

BEST AVAILABLE COPY

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	一種封裝基板之製造方法
	英 文	METHOD FOR FABRICATING A PACKAGING SUBSTRATE
二、 發明人 (共1人)	姓 名 (中文)	1. 翁義堂
	姓 名 (英文)	1. WENG, YI-TANG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園市上海路一三七號三樓
	住居所 (英 文)	1. 3F, No. 137, Sha-Hei Rd., Tao-Yuan City 330, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞電路板股份有限公司
	名稱或 姓 名 (英文)	1. NAN YA PRINTED CIRCUIT BOARD CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣蘆竹鄉南崁路一段三三八號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1. 338, Sec. 1, Nankan Road, Luchu, Taoyuan 333, Taiwan, R.O.C.
	代表人 (中文)	1. 李祐慶
	代表人 (英文)	1. LEE, MARK



四、中文發明摘要 (發明名稱：一種封裝基板之製造方法)

本發明係關於一種利用選擇性蝕刻方式，分別定義出需鍍金與非鍍金區，達到部分電鍍鍍金之封裝基板的製作方法。本發明採用三次光阻影像轉移手段以及結合兩次的選擇性蝕刻，分別定義出欲鍍金區以及非鍍金區。第一次光阻影像轉移係定義出導體鍍銅，隨即予以剝除。第二次光阻影像轉移係定義出需鍍金區域。第三次光阻影像轉移則可疊設於第二次光阻上，其目的在避免滲鍍。

五、英文發明摘要 (發明名稱：METHOD FOR FABRICATING A PACKAGING SUBSTRATE)

A method for making a packaging substrate is provided. A thin copper seed layer is formed on a carrier plate. A first resist layer is coated on the thin copper seed layer. The first resist layer defines a wire layout of copper plating area. A layer of copper is then electroplated on the copper plating area to form the wire layout. After this, the first resist layer is stripped to



四、中文發明摘要 (發明名稱：一種封裝基板之製造方法)

五、英文發明摘要 (發明名稱：METHOD FOR FABRICATING A PACKAGING SUBSTRATE)

expose the wire layout and the thin copper seed layer. A patterned second resist layer is formed on the wire layout. The patterned second resist layer defines the Ni/Au plating area of the wire layout. The copper seed layer that is not covered by the second resist layer is etched away. A third resist layer is stacked on the second resist layer and defines an Au-coating area of



四、中文發明摘要 (發明名稱：一種封裝基板之製造方法)

五、英文發明摘要 (發明名稱：METHOD FOR FABRICATING A PACKAGING SUBSTRATE)

the I/O fingers. Using the third resist layer as a plating hard mask, a layer of Ni/Au layer is plated on the exposed area of the wires. After this step, the second and third resist layers are removed.



六、指定代表圖

(一)、本案代表圖為：第___七___圖

(二)、本案代表圖之元件代表符號簡單說明：

10	載板	12	薄底銅層
16	待鍍銅區域		
19	需鍍金區域		
20	光阻層	22	光阻層
24	金屬層		



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



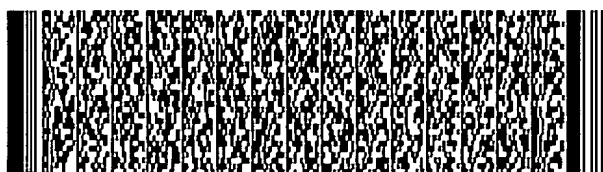
五、發明說明 (1)

【發明所屬之技術領域】

本發明係關於一種封裝基板之製造方法，尤指一種利用選擇性蝕刻方式，分別定義出需鍍金與非鍍金區，達到部分電鍍鍍金之電路板製作方法。

【先前技術】

在電子產品不斷往輕、薄、短、小發展的趨勢下，市場對於覆晶封裝技術的重視程度逐步提高。由於覆晶技術較傳統封裝方式具備多重優勢，使其在行動通訊環境日漸成形下，成為近年封測產業發展的重點。目前，隨著採用球格陣列(BGA)、覆晶(Flip Chip)等這一類植球式高階封裝漸成為主流封裝技術，市場對於封裝時所需要的封裝基板(Packaging Substrate)也日益增加。上游IDM廠與IC設計公司基於成本考量，通常將基板採購權交由封裝廠全權負責，基板電路設計也一併交由封裝廠代工，所以佔封裝成本仍高達三成以上的IC封裝基板，便成為封裝廠跨入高階封裝市場時，必須掌握的最重要關鍵材料。而隨著封裝基板上的佈線越趨緻密化，如何提高封裝基板之佈線密度，同時兼顧製程的穩定可靠度、低成本以及產品的良率，即為封裝基板製作的重要課題。



五、發明說明 (2)

如該行業者所知，封裝基板之製作過程中，除了於其上形成細密的導線圖案(一般為銅質導線)之外，且各導線線路上的I/O接點需再經鍍上一層所謂的「軟金」，也就是鎳金層，以提升封裝基板與晶片之間在進行打金線過程中構成穩固的電性連接，同時，亦有防止銅質導線圖案氧化之功能。隨後，再進行印製防銲阻劑(Solder Mask)等表面處理(Surface Finish)製程，以保護形成於基板表面上的導線線路。

習知電鍍鎳金表面處理之作法概係在具圖案化銅質線路之基板表面上完成防銲阻劑之後始進行之。因此，在未被防銲阻劑遮蔽之區域需有從基板表面上之銅質線路延伸至基板周圍之電鍍延伸導線(Plating Bus)，以作為電鍍時之導電路徑。如此，才能在基板上外露於防銲阻劑外之各需鍍金區域上鍍一層特定厚度的鎳金層。然而，上述習知作法之主要缺點在於，電鍍延伸導線勢必佔據可利用的基板佈線空間，使得基板佈線密度無法提升。此外，電鍍導線易受到鄰近導線線路的訊號干擾產生雜訊問題。

相關習知技藝中，可參考如美國專利第6,576,540號「於接觸墊上電鍍鎳金之結構的基板製作方法(METHOD FOR FABRICATING SUBSTRATE WITHIN A NI/AU STRUCTURE ELECTROPLATED ON ELECTRICAL CONTACT



五、發明說明 (3)

PADS)」，其所揭露之技術，缺點是需於線路形成後，再對基板多做一次金屬化動作，造成成本的浪費。此外，更可能容易因為製程中處理不慎而有線路刮傷或撞傷的情形發生，對基板上的細線路造成影響。另一個缺點是，前述技術在線路形成後欲製作影像轉移製程時，會因為基板表面的金屬層是後來生成，容易於覆蓋光阻劑後，產生金屬層與基板表面發生剝離現象，造成良率的降低。

其它相關習知技藝中，可參考如中華民國專利第538512號「利用疊構式光阻影像移轉之封裝用載板製程」，其所揭露之技術，缺點在於接觸墊表面進行電鍍鎳金時，因為線路側壁有乾膜遮蔽，導致該側壁無法鍍上鎳金保護，於蝕除線路間相連之薄底銅層時亦同時會對線路側壁進行蝕刻動作，而產生凸懸(Overhang)現象。此外，因為該線路側壁並未鍍上鎳金，於完成成品以後，因無防焊阻劑保護，該區域因此容易氧化，嚴重時容易有斷線或短路的問題，將造成產品可靠度以及品質上的疑慮。

【發明內容】

鑑於此，本發明因此提出利用選擇性蝕刻方式，分別定義出需鍍金與非鍍金區，達到部分電鍍鎳金之電路



五、發明說明 (4)

板製作方法，以改善前述缺點。

根據本發明之較佳實施例，所採之流程如下：(1) 基板鑽通孔；(2) 通孔金屬化；(3) 第一次覆蓋光阻；(4) 曝光、顯影，定義所有線路；(5) 線路電鍍銅；(6) 剝除光阻；(7) 第二次覆蓋光阻；(8) 曝光、顯影，定義鍍金區；(9) 第一次選擇性蝕刻；(10) 第三次覆蓋光阻；(11) 曝光、顯影，遮蔽以避免鍍金滲鍍；(12) 電鍍鎳金；(13) 剝除光阻；(14) 第二次選擇性蝕刻；(15) 覆蓋防銲阻劑；(16) 進行一般後製程。

本發明在線路形成前即剝除所有光阻，再於非鍍金區覆蓋光阻，接著將欲鍍金區線路蝕除出，以達選擇性蝕刻之步驟。因此，於後面製程中電鍍鎳金時用以協助導電物質包含，基板表面原有之底銅層、化學沈積銅層。本發明方法不需要於線路形成後額外覆蓋金屬層，也因此可以達到成本的降低。同時，因為線路是後來形成，可避免刮撞傷的產生，而不會對細線路造成影響。

本發明在製作影像轉移製程時，其基板上的銅層金屬皆是材料原有的底銅，其與基板的結合力較大，因此可以避免覆蓋光阻劑後，使得金屬層與基板剝離現象發生，也使良率可以明顯提升改善。



五、發明說明 (5)

本發明先利用選擇性蝕刻方法，將欲鍍金區域的線路形成，並露出側壁以供後製程電鍍鎳金，由於線路側壁被保護住，因此不會產生凸懸現象。

為了使貴審查委員能更進一步瞭解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖。然而所附圖式僅供參考與輔助說明用，並非用來對本發明加以限制者。

【實施方式】

請參閱圖一至圖十，圖一至圖十顯示有關本發明較佳實施例利用兩次選擇性蝕刻以及三次光阻影像轉移方式，分別定義出需鍍金與非鍍金區，達到部分電鍍鎳金之電路板製作方法。

首先，如圖一所示，提供一絕緣材質之載板10，其上已經過鑽通孔處理(圖未示)以及通孔金屬化製程，因此於載板10兩面上各皆形成有一薄底銅層12。在載板10表面上設薄底銅層12之後，於薄底銅層12上形成圖案化之光阻層14，其定義出導體線路圖案之待鍍銅區域16。

前述於載板10表面之薄底銅層12係由以下步驟所形成，首先可於載板10表面披覆銅層後，再利用研磨或化



五、發明說明 (6)

學蝕刻等手段降低其厚度，然後進行鑽通孔處理並實施通孔金屬化製程後，於載板10表面沈積一化學沈積銅層，前述二層銅層形成薄底銅層12，其厚度約為10微米以下。

光阻層14所定義之待鍍銅區域16乃藉由習知的曝光及顯影步驟完成。習知該項技藝者應理解載板10之兩面上皆可形成線路，而圖一至圖十為簡化說明，僅顯示在載板10之單面上形成線路以及鍍鎳金之方法。

如圖二所示，將定義有待鍍銅區域16之載板10進行鍍銅製程，於待鍍銅區域16形成導線圖案18，其厚度約為20~40微米。導線圖案18包括末端面積稍大之需鍍金區域19。

如圖三所示，接著將光阻層14自載板10表面剝除。此時，銅導線圖案18，包括線路之側壁，完整地呈現在薄底銅層12之上。

如圖四所示，進行第二次覆蓋光阻，並進行曝光顯影，以於載板10表面上形成光阻層20，其覆蓋住除了需鍍金區域19之大部分銅導線圖案18。

如圖五所示，利用光阻層20作為蝕刻遮罩，將曝露



五、發明說明 (7)

於需鍍金區域19外的薄底銅層12完全蝕除，露出底下的載板10。此蝕刻步驟(第一次選擇性蝕刻)可以利用習知的濕蝕刻法進行之。同時，需鍍金區域19表面的部份厚度也會被蝕除。

如圖六所示，進行第三次覆蓋光阻，並進行曝光顯影，以於載板10表面上形成光阻層22，其覆蓋住光阻層20，以及在前一次蝕刻薄底銅層12步驟中，在光阻層20下方所暴露之薄底銅層12側壁，以避免後續電鍍鍍金時造成鍍金被滲鍍至不需鍍金區域。

前述圖六中進行第三次覆蓋光阻之前，根據本發明之另一較佳實施例，亦可以先剝除光阻層20，然後再塗佈光阻層22，並以曝光顯影步驟重新使光阻層22定義出需鍍金區域19。

如圖七所示，進行電鍍製程，將需鍍金區域19表面及側壁與其正下方之薄底銅層12側壁鍍上一金屬層24，例如鍍/金等金屬。金屬層24完全包覆需鍍金區域19以避免其氧化，並且可以保護其側壁在後續蝕刻步驟中不被進一步侵蝕。

如圖八所示，剝除光阻層20以及光阻層22，暴露出先前被光阻層20所遮蓋的導線圖案18以及薄底銅層12。



五、發明說明 (8)

如圖九所示，由於需鍍金區域19已經被金屬層24完全包覆，因此可以進行第二次的選擇性蝕刻。將剝除光阻層20以及光阻層22後的載板10進行第二次選擇性蝕刻，例如濕蝕刻，以將暴露出來的薄底銅層12完全去除。由於需鍍金區域19被金屬層24完全包覆，因此不受影響。

最後，如圖十所示，在去除薄底銅層12之後，於導線圖案18上覆蓋一層防銲阻劑26，僅僅露出後續要與晶片進行打金線連結之需鍍金區域19，如此即完成本發明封裝基板之製作。

經由前述所揭露之本發明較佳實施例相關技術說明後，可歸納出本發明係採用三次光阻影像轉移手段以及結合兩次的選擇性蝕刻，分別定義出欲鍍金區以及非鍍金區。第一次光阻影像轉移係定義出導體鍍銅，隨即將光阻予以剝除。第二次光阻影像轉移係定義出需鍍金區域結構。第三次光阻影像轉移則可疊設於第二次光阻上，以避免滲鍍。由此可知，第一次的光阻以及第三次的光阻皆屬於電鍍阻劑，而第二次的光阻則屬於蝕刻阻劑。

由上可知，本發明之優點至少包括如下：

(1) 本發明在線路形成前即剝除所有光阻，再於非鍍



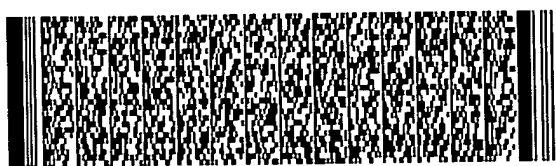
五、發明說明 (9)

金區覆蓋光阻，接著將欲鍍金區線路蝕除出，以達選擇性蝕刻之步驟。因此，於後面製程中電鍍鍍金時用以協助導電物質包含基板表面原有之底銅層、化學沈積銅層。本發明方法不需要於線路形成後額外覆蓋金屬層，也因此可以達到成本的降低。同時，因為線路是後來形成，可避免製程中不慎造成線路刮、撞傷的產生，而不會對細線路造成影響。

(2) 本發明在製作影像轉移製程時，其基板上的銅層金屬皆是材料原有的底銅，其與基板的結合力較大，因此可以避免覆蓋光阻劑後，使得金屬層與基板剝離現象發生，也使良率可以明顯提升改善。

(3) 本發明先利用選擇性蝕刻方法，將欲鍍金區域的線路形成，並露出側壁以供後製程電鍍鍍金，由於線路側壁被保護住，因此不會產生凸懸現象。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



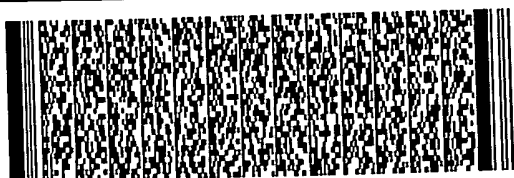
圖式簡單說明

圖式之簡單說明

圖一至圖十顯示有關本發明較佳實施例利用兩次選擇性蝕刻以及三次光阻影像轉移方式，分別定義出需鍍金與非鍍金區，達到部分電鍍鎳金之電路板製作方法。

圖式之符號說明

10	載板	12	薄底銅層
14	光阻層	16	待鍍銅區域
18	導線圖案	19	需鍍金區域
20	光阻層	22	光阻層
24	金屬層	26	防銲阻劑



六、申請專利範圍

1. 一種封裝基板之製造方法，包含有下列步驟：
提供一載板，其上設有一薄底銅層；
於該薄底銅層上形成一第一光阻層，該第一光阻層定義出導線鍍銅區域；
於該導線鍍銅區域上電鍍銅，形成導線圖案；
剝除該第一光阻層，暴露出該導線圖案以及該薄底銅層；
於該導線圖案上形成一第二光阻層，該第二光阻層定義該導線圖案其末端之需鍍金區域；
蝕刻掉未被該第二光阻層所覆蓋且曝露於該需鍍金區域外之該薄底銅層；
形成一第三光阻層疊設於該第二光阻層上，且該第三光阻層覆蓋該第二光阻層下方所暴露之該薄底銅層側壁；
利用該第三光阻層作為電鍍阻劑，於該導線圖案之該需鍍金區域上之欲鍍金區域電鍍金屬層；
剝除該第二、第三光阻層；以及
蝕除該載板上剩餘之該薄底銅層。
2. 如申請專利範圍第1項所述封裝基板之製造方法，其中該金屬層包括鎳/金層。
3. 如申請專利範圍第1項所述封裝基板之製造方法，其中於蝕除該載板上剩餘之該薄底銅層步驟之後，該方法



六、申請專利範圍

另包含有如下之步驟：

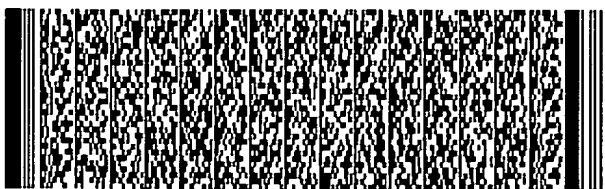
印製圖案化之防銲阻劑。

4. 如申請專利範圍第1項所述封裝基板之製造方法，其中該載板為絕緣材料所製成。

5. 如申請專利範圍第4項所述封裝基板之製造方法，其中該載板為塑膠載板。

6. 如申請專利範圍第1項所述封裝基板之製造方法，其中該薄底銅層之厚度約為10微米以下。

7. 一種封裝基板之製造方法，包含有下列步驟：
提供一載板，其上設有一薄底銅層；
於該薄底銅層上形成一第一光阻層，該第一光阻層定義出導線鍍銅區域；
於該導線鍍銅區域上電鍍銅，形成導線圖案；
剝除該第一光阻層，暴露出該導線圖案以及該薄底銅層；
於該導線圖案上形成一第二光阻層，該第二光阻層定義該導線圖案其末端之需鍍金區域；
蝕刻掉未被該第二光阻層所覆蓋且曝露於該需鍍金區域外之該薄底銅層；
剝除該第二光阻層；



六、申請專利範圍

形成一第三光阻層，覆蓋不需鍍金之該導線圖案與該薄底銅層，使該需鍍金區域外露；

利用該第三光阻層作為電鍍阻劑，於該導線圖案之該需鍍金區域之欲鍍金區域電鍍金屬層；

剝除該第三光阻層；以及

蝕除該載板上剩餘之該薄底銅層。

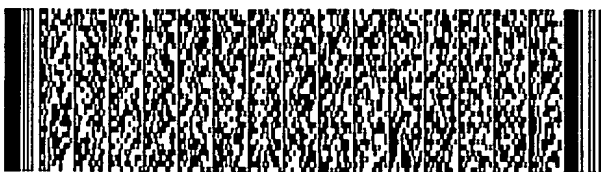
8. 如申請專利範圍第7項所述封裝基板之製造方法，其中該金屬層包括鎳/金層。

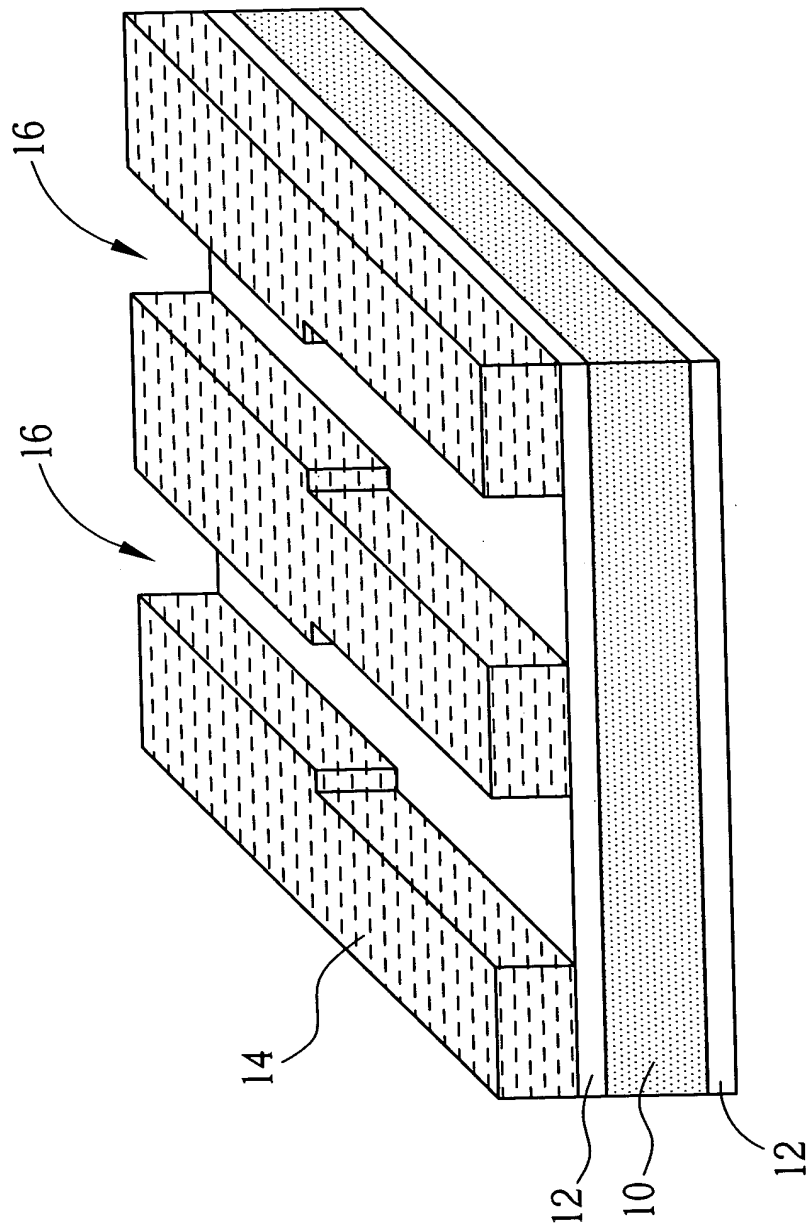
9. 如申請專利範圍第7項所述封裝基板之製造方法，其中於蝕除該載板上剩餘之該薄底銅層步驟之後，該方法另包含有如下之步驟：

印製圖案化之防銲阻劑。

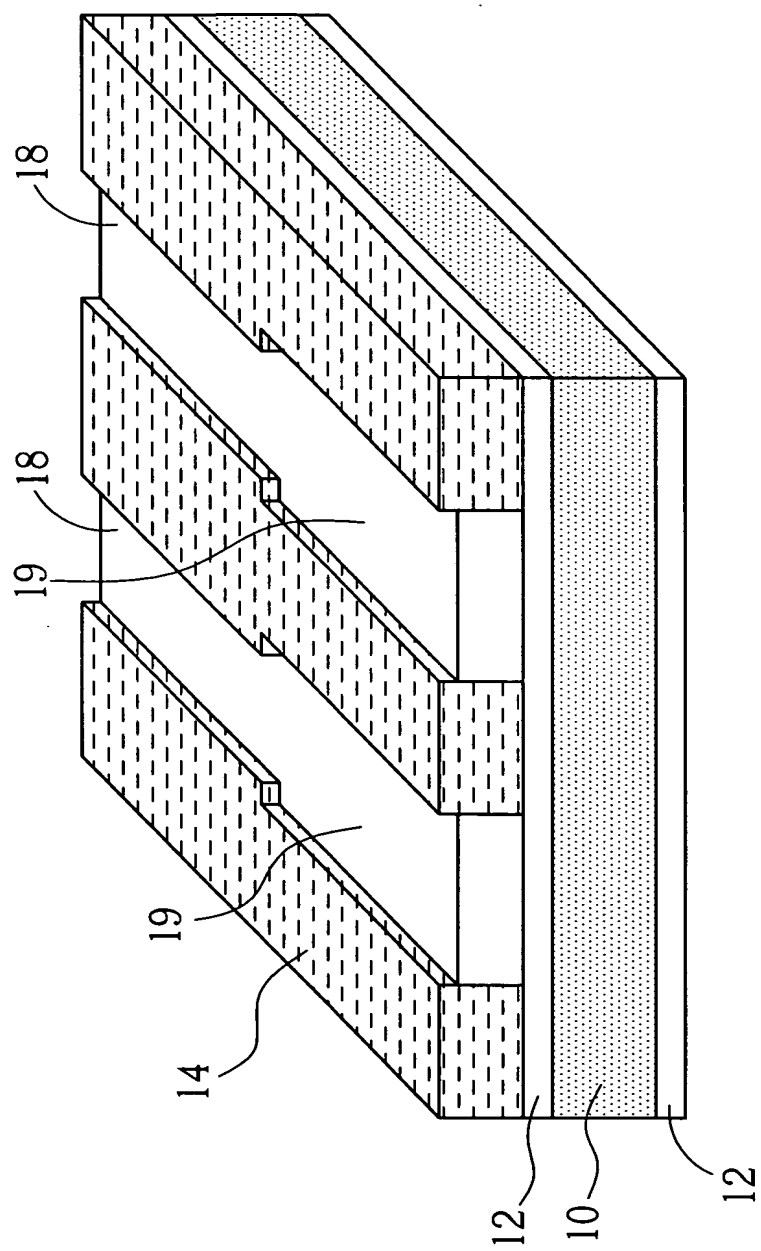
10. 如申請專利範圍第7項所述封裝基板之製造方法，其中該載板為絕緣材料所製成。

11. 如申請專利範圍第7項所述封裝基板之製造方法，其中該薄底銅層之厚度約為5微米左右。

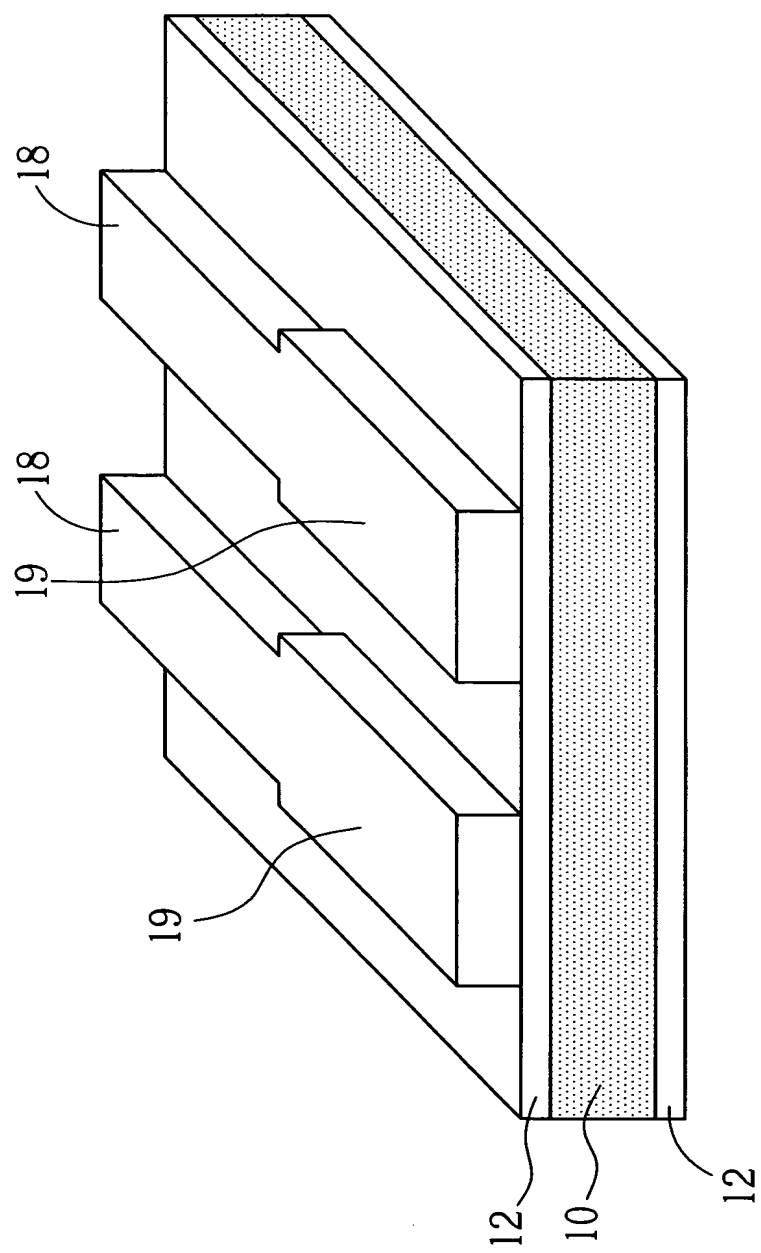




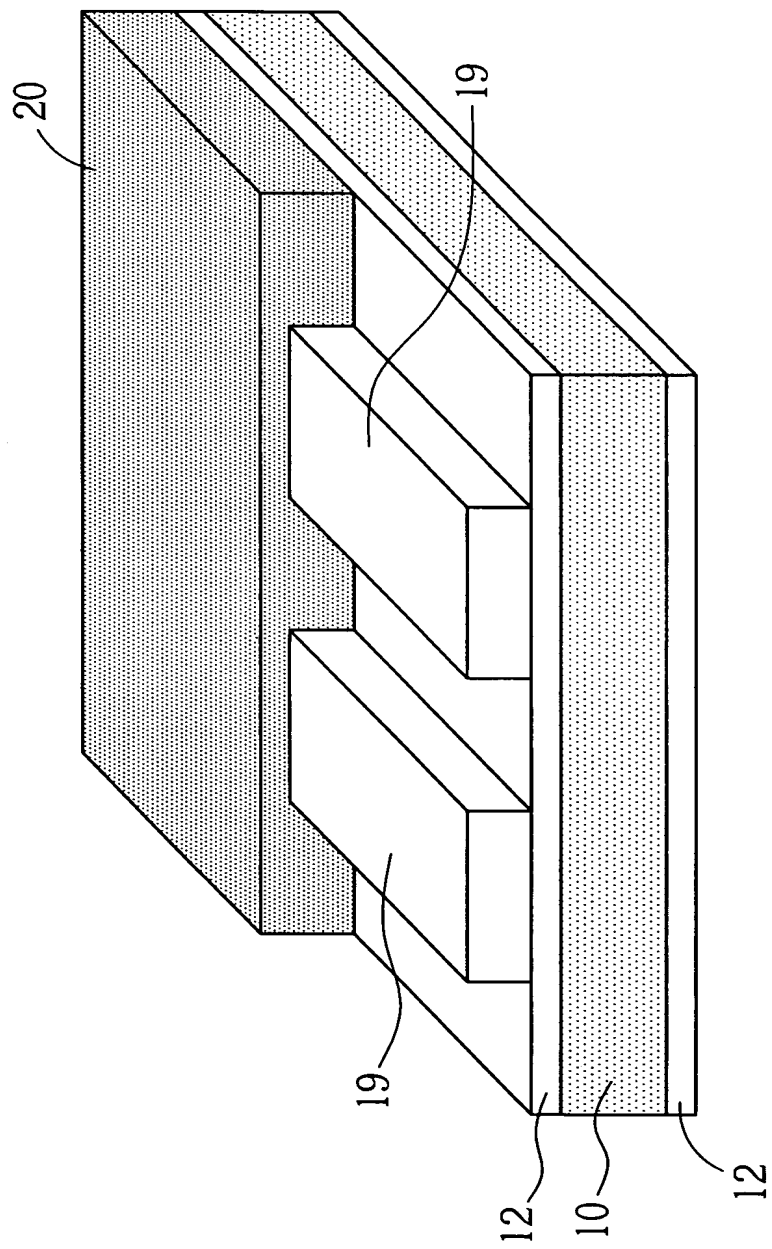
圖一



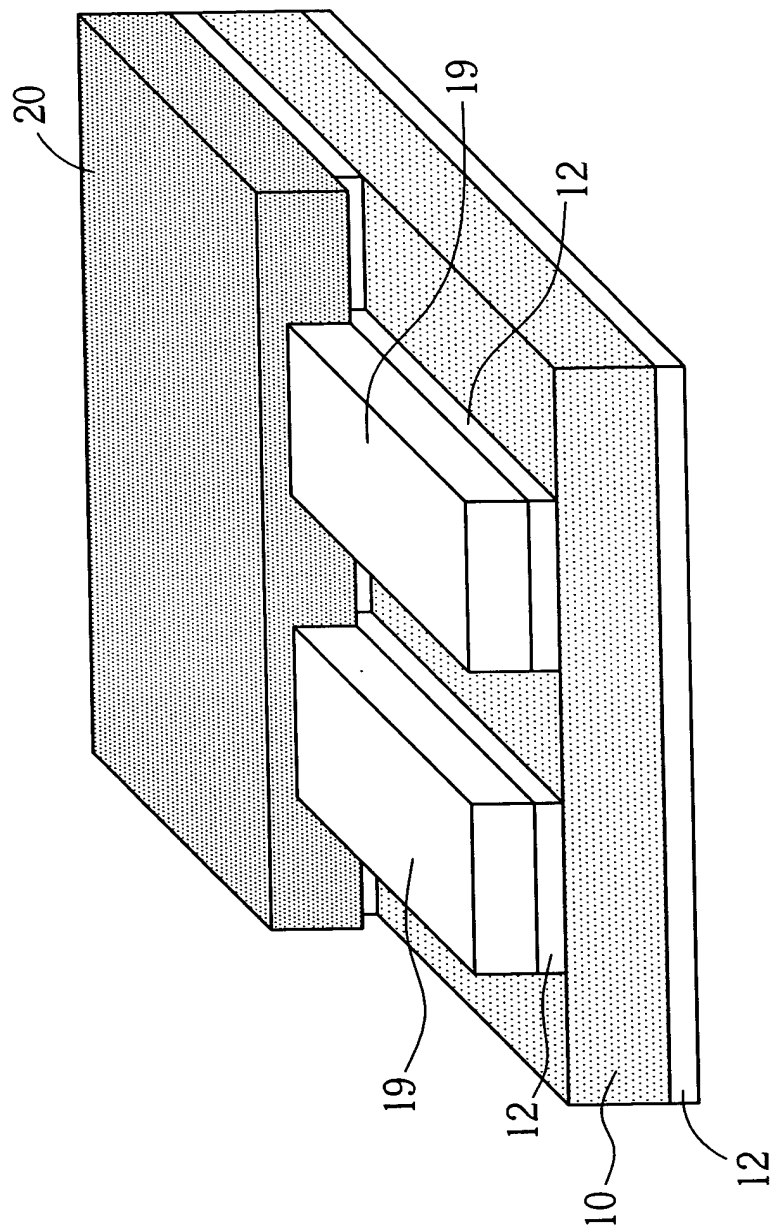
圖二



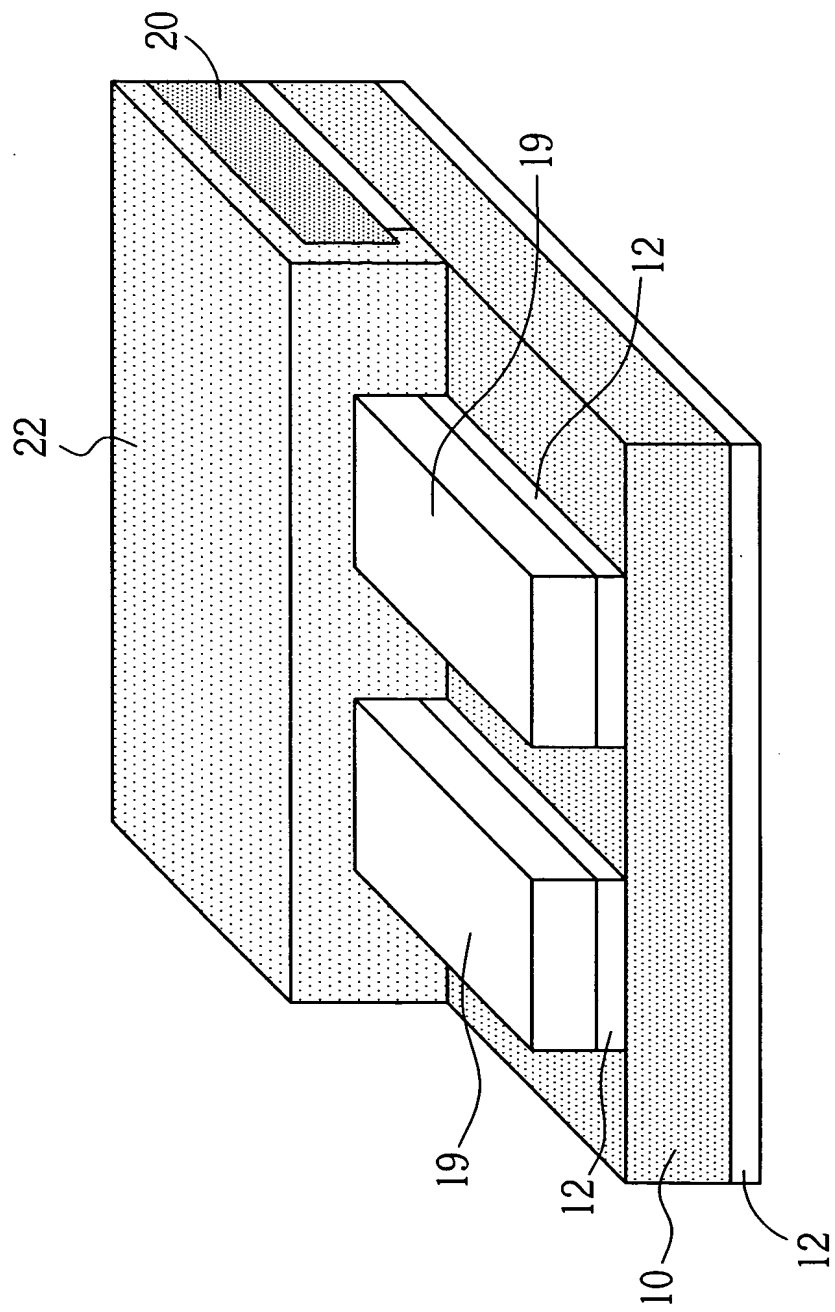
圖三



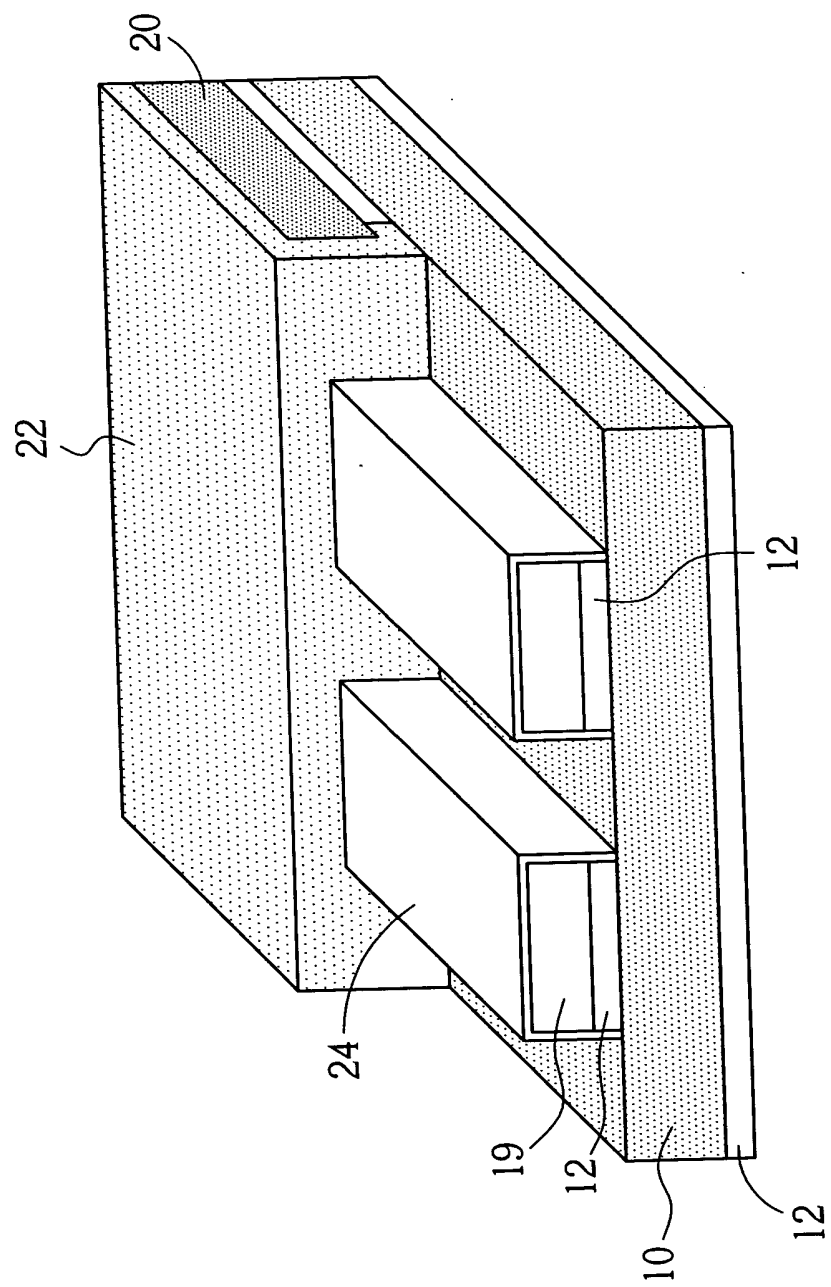
圖四



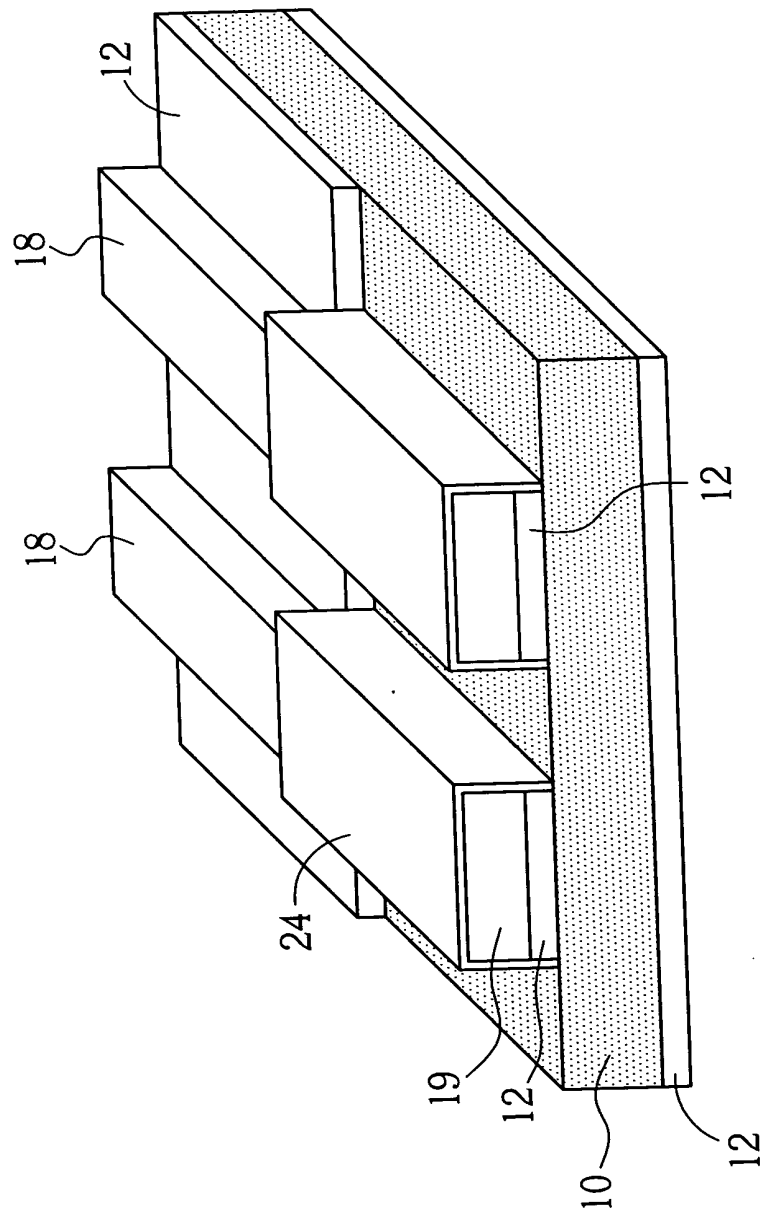
圖五



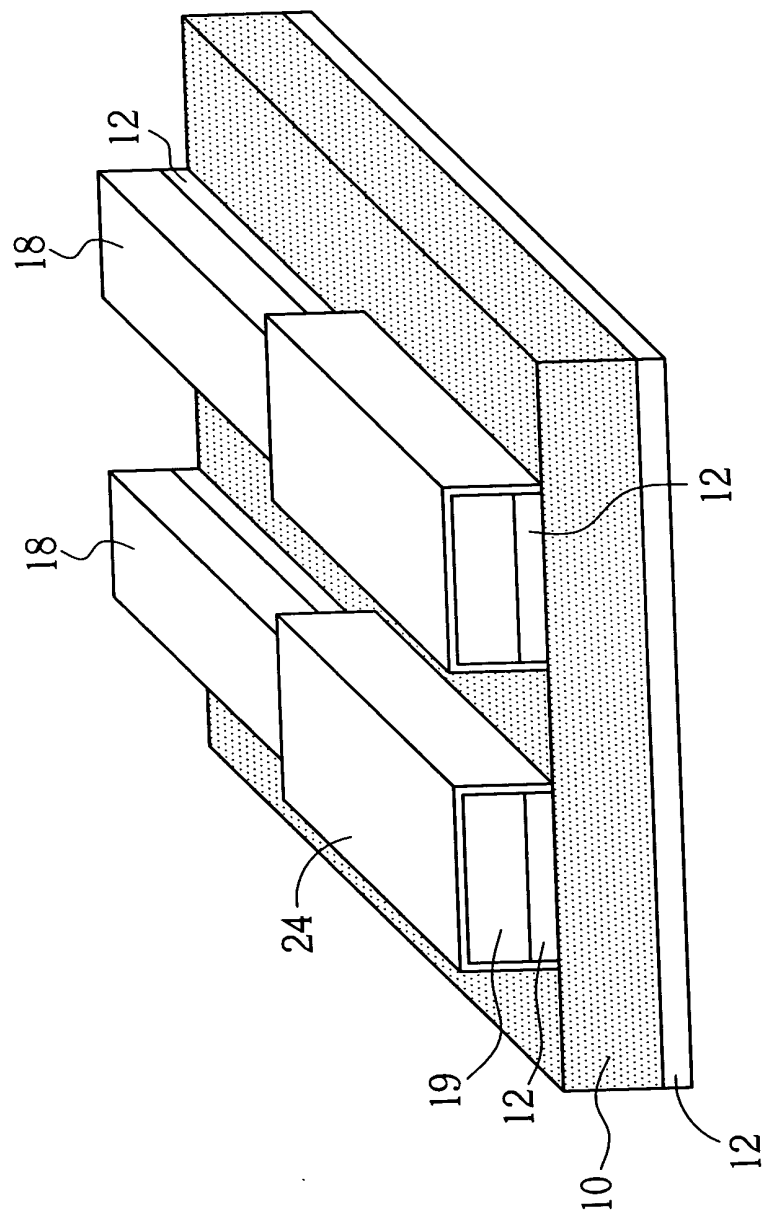
圖六



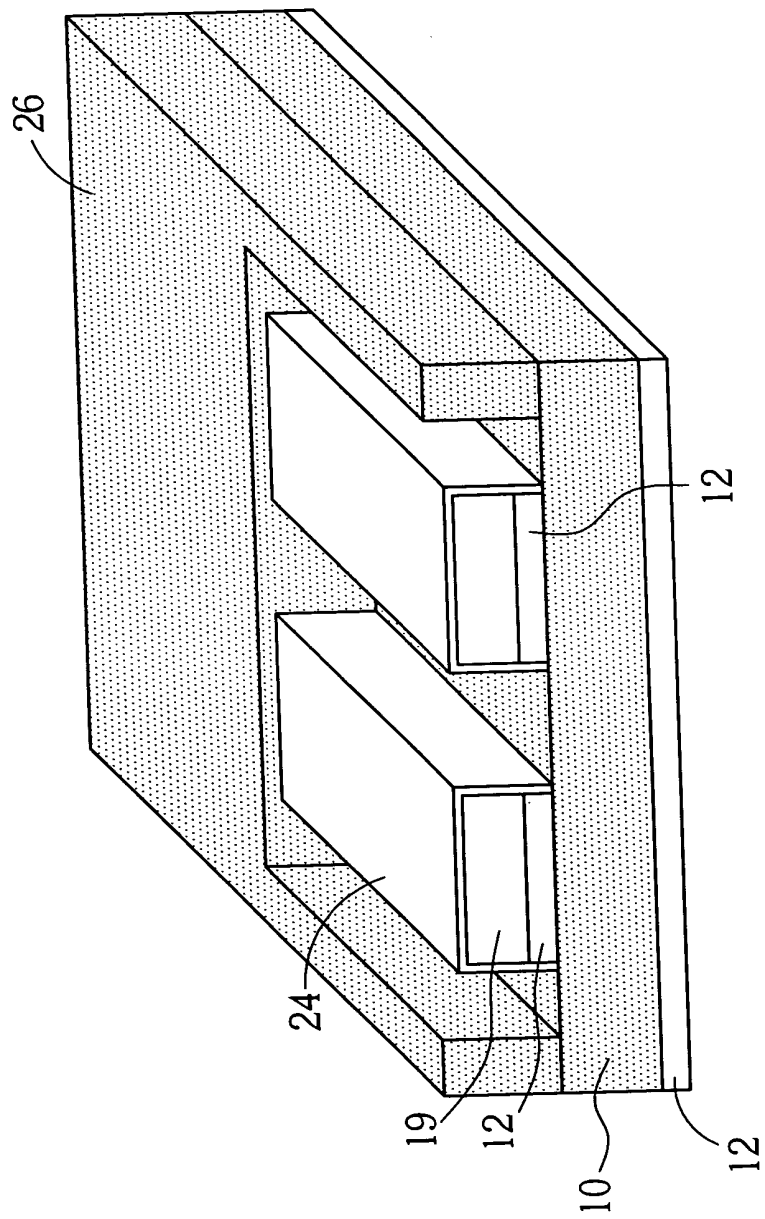
圖七



圖八



圖九

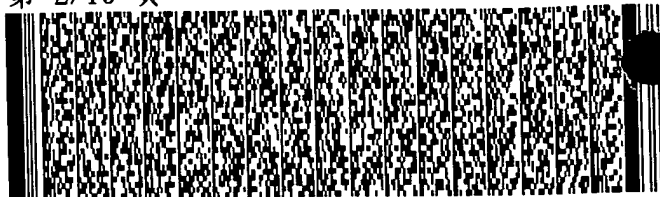


圖十

第 1/19 頁



第 2/19 頁



第 3/19 頁



第 4/19 頁



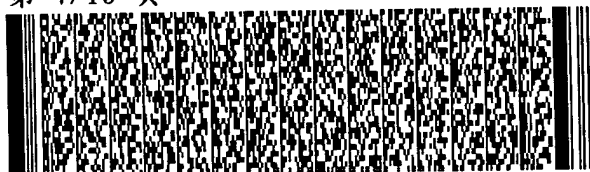
第 5/19 頁



第 6/19 頁



第 7/19 頁



第 7/19 頁



第 8/19 頁



第 8/19 頁



第 9/19 頁



第 9/19 頁



第 10/19 頁



第 10/19 頁



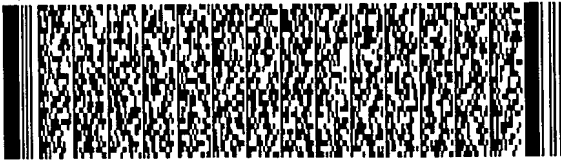
第 11/19 頁



第 11/19 頁



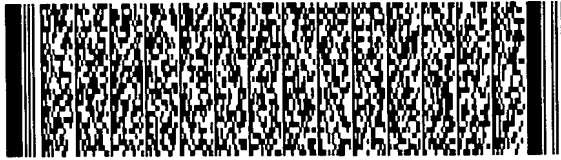
第 12/19 頁



第 12/19 頁



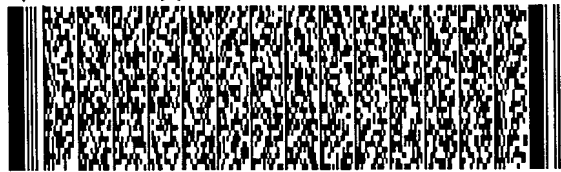
第 13/19 頁



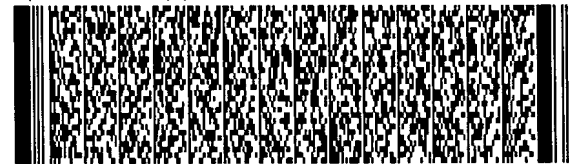
第 13/19 頁



第 14/19 頁



第 14/19 頁



第 15/19 頁



第 15/19 頁



第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

